

⑯

⑯ BUNDESREPUBLIK DEUTSCHLAND



DE 27 39 662 A 1-81

⑯

Offenlegungsschrift 27 39 662

⑯

Aktenzeichen: P 27 39 662.9

⑯

Anmeldetag: 2. 9. 77

⑯

Offenlegungstag: 8. 3. 79

⑯

⑯ Unionspriorität:

⑯ ⑯ ⑯

⑯

Bezeichnung: Verfahren zur Herstellung von MOS-Transistoren

⑯

Anmelder: Siemens AG, 1000 Berlin und 8000 München

⑯

Erfinder: Murrmann, Helmut, Dipl.-Phys. Dr.rer.nat., 8012 Ottobrunn

DE 27 39 662 A 1

Patentansprüche

1. Verfahren zur Herstellung von MOS-Transistoren, bei dem auf ein Halbleitersubstrat zunächst eine erste Isolationsschicht, insbesondere Oxidschicht (Dickoxid), aufgebracht wird, in diese erste Isolationsschicht ein die Halbleitersubstrat-Oberfläche freilegendes Fenster eingebracht wird, dessen Abmessung in Richtung parallel zur Halbleitersubstrat-Oberfläche etwa gleich der Gesamtabmessung des herzustellenden MOS-Transistors ist, und bei dem in diesem Fenster auf der Halbleitersubstrat-Oberfläche eine Gateoxid-Schicht hergestellt wird, daß durch gekennzeichnet, daß auf die mit der ersten Isolationsschicht (2) und der Gateoxid-Schicht (4) bedeckten Oberfläche des Halbleitersubstrats (1) eine Schicht (5) aus polykristallinem Silicium aufgebracht wird, die sich in von der Gateoxid-Schicht (4) freien Bereichen der Halbleitersubstrat-Oberfläche im Fenster (3) in der ersten Isolationsschicht (2) direkt auf diesen freien Bereichen befindet, daß danach auf die Schicht (5) aus polykristallinem Silicium ganzflächig eine zweite Isolationsschicht, vorzugsweise Siliciumnitrid-Schicht, aufgebracht wird, die so strukturiert wird, daß von ihr nur noch die als Maskierung dienenden Teile (6) auf Bereichen der Schicht (5) aus polykristallinem Silicium verbleiben, in denen die Kontaktierung von Source (11), Drain (12) und Gate des MOS-Transistors erfolgen soll, daß sodann durch einen Ionenimplantationsprozeß Source- und Drain-Zone (11 bzw. 12) im Halbleitersubstrat (1) erzeugt werden, daß danach die nicht von Teilen (6) der zweiten Isolationsschicht bedeckten Bereiche der Schicht (5) aus polykristallinem Silicium in Siliciumdioxid überführt werden und daß schließlich die maskierenden Teile (6) der zweiten Isolationsschicht entfernt und durch einen weiteren Dotierungsprozeß in den Bereichen des Halbleitersubstrats (1) unterhalb der verbleibenden Teile (14, 16) aus polykristallinem Silicium mit Source (11) und Drain (12) in Verbindung stehende Kontaktierungszonen (17, 18) hergestellt werden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Herstellung der Kontaktierungszonen (17, 18) die Schicht (5) aus polykristallinem Silicium vor dem Aufbringen der zweiten

Isolationsschicht dotiert wird, wobei der Dotierungsstoff bei der teilweisen Überführung der Schicht (5) aus polykristallinem Silicium durch thermische Oxydation in Siliciumdioxid aus den verbleibenden polykristallinen Bereichen (14) in das Halbleitersubstrat (1) ausdiffundieren.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Kontaktierungszonen (17, 18) nach der Entfernung der maskierenden Teile (6) der zweiten Isolationsschicht durch einen Diffusions- oder Implantationsprozeß hergestellt werden.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß zur Herstellung von Elektroden für Source, Drain und Gate sowie von Leiterbahnen zur elektrischen Verbindung von mehreren MOS-Transistor-Funktionseinheiten und gegebenenfalls weiteren Funktionseinheiten wie beispielsweise Widerständen in integrierten Schaltkreisen auf die durch Siliciumdioxid und polykristallines Silicium gebildete Systemoberfläche ganzflächig Aluminium abgeschieden wird, daß lediglich das Elektroden- und Leiterbahnmuster in Form von durch Aluminiumoxid isolierten Aluminiumbereichen verbleibt.

909810/0456

SIEMENS AKTIENGESELLSCHAFT

Unser Zeichen

Berlin und München

VPA 77 P 1134 BRD

Denkt die Erfindung auf ein MOS-Transistor-Schaltungsteil, bei dem auf einem Halbleitersubstrat eine erste Isolationsschicht, insbesondere eine Oxidschicht (Dickoxid), aufgebracht wird, in diese erste Isolationsschicht ein die Halbleitersubstrat-Oberfläche freilegendes Fenster eingebracht wird, dessen Abmessung in Richtung parallel zur Halbleitersubstrat-Oberfläche etwa gleich der Gesamtabmessung des herzustellenden MOS-Transistors ist, und bei dem in diesem Fenster auf der Halbleitersubstrat-Oberfläche eine Gateoxid-Schicht hergestellt wird.

Verfahren zur Herstellung von MOS-Transistoren

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung von MOS-Transistoren, bei dem auf ein Halbleitersubstrat zunächst eine erste Isolationsschicht, insbesondere Oxidschicht (Dick-

5 oxid), aufgebracht wird, in diese erste Isolationsschicht ein die Halbleitersubstrat-Oberfläche freilegendes Fenster eingebracht wird, dessen Abmessung in Richtung parallel zur Halbleitersubstrat-Oberfläche etwa gleich der Gesamtabmessung des herzustellenden MOS-Transistors ist, und bei dem in diesem Fenster auf der Halb-

10 leitersubstrat-Oberfläche eine Gateoxid-Schicht hergestellt wird.

MOS-Transistoren werden heute vielfach durch die sogenannte Silicon-Gate-Technik hergestellt. Diese Technik ist beispielsweise aus der Zeitschrift "I.E.E. Spectrum" Okt. 1969, Seiten

15 28 bis 35, bekannt.

Dabei wird zunächst auf ein Halbleitersubstrat eine erste Isolationsschicht in Form einer Siliciumdioxid-Schicht aufgebracht, in der ein Fenster mit den Abmessungen des herzustellenden MOS-Transistors hergestellt wird. Sodann wird in einem zweiten Oxydationsschritt eine weitere dinnere Siliciumdioxid-Schicht hergestellt, welche in dem vorgenannten Fenster in der Dickoxid-Schicht die Gate-Oxid-Dicke festlegt. Danach wird, gegebenenfalls unter Zwischenschaltung einer Siliciumnitrid-Schicht, ganzflächig eine Polysilicium-Schicht aufgebracht, wonach in diese Schichtstruktur Fenster zur Herstellung der Source- und Drain-Zone

2739662

- 2 - 77 P 1134 BRD

eingebracht werden. Zwischen den Fenstern bleibt eine das Gate definierende Schichtfolge aus Siliciumdioxid, gegebenenfalls Siliciumnitrid, und Polysilicium stehen. Nach Herstellung von Source- und Drain-Zone, beispielsweise durch Diffusion,

5 wird die Struktur noch einmal ganzflächig mit einer Siliciumdioxid-Schicht versehen, in die Kontaktfenster zur Herstellung von Source- und Drain-Kontakten eingebracht werden. Sodann wird in üblicher Weise eine Kontaktierung mit Aluminium vorgenommen.

10 Ein kritischer Parameter bei einer derartigen Herstellung von MOS-Transistoren ist die relative Lage des Gate-Kontaktes zur Source und Drain. Ist der seitliche Abstand zwischen Gate-Kontakt sowie Source und Drain zu groß, so wird die Steuerwir-

15 kung schlecht. Überlappt andererseits der Gate-Kontakt Source und Drain, so ergibt sich eine zu große nachteilige Gate-Kapazität gegen Source und Drain.

Weiterhin sind bei dieser Technik zwei in ihrer relativen Lage
20 zueinander kritische Maskierungsschritte, nämlich die Maskierung zur Herstellung der Polysilicium-Gate-Elektrode sowie die Maskierung zur Herstellung von Source- und Drain-Kontakt, erforderlich. Alle Bereiche (Source/Drain-Kontakt, Silicium-Gate) werden u. a. mit einer Leitbahnschicht, die mit einem weiteren

25 Maskierungsschritt erzeugt wird, angeschlossen. Da Fehljustierungen bei diesen Maskierungsprozessen niemals vollständig zu vermeiden sind, sind die Gesamtabmessungen der herzustellenden MOS-Transistoren notwendigerweise größer als bei einem MOS-

30 Transistor unter Zugrundelegung der jeweils nachweisbaren minimalen Strukturabmessungen. Dies macht sich insbesondere bei integrierten Schaltkreisen mit hohem Integrationsgrad nachteilig bemerkbar, da die Transistorabmessungen zur Gewährleistung einer großen Packungsdichte klein sein müssen und Toleranzen aufgrund des vorstehend erläuterten Sachverhalts bei der Mas-

35 kierung zu Abweichungen von den Transistor-Sollabmessungen nach oben führen.

Ein weiterer kritischer Punkt sind die u. U. sehr scharfen Kanten der in üblicher Technik erzeugten Kontaktflächen zu

Source/Drain-Gebieten und der Silicium-Gate-Elektrode die vielfach zu Bedeckungsproblemen bei darüberverlaufenden Metall- oder Isolierschichten führen, was vielfach zu Ausbeute- und Zuverlässigkeitsproblemen führt.

5

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Herstellung von MOS-Transistoren anzugeben, bei dem die vorstehend aufgeführten Nachteile nicht zu erwarten sind.

- 10 Diese Aufgabe wird bei einem Verfahren der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß auf die mit der ersten Isolationsschicht und der Gateoxid-Schicht bedeckte Oberfläche des Halbleitersubstrats eine Schicht aus polykristallinem Silicium aufgebracht wird, die sich in von der Gateoxid-Schicht 15/02 freien Bereichen der Halbleitersubstrat-Oberfläche im Fenster in der ersten Isolationsschicht direkt auf diesen freien Bereichen befindet, daß danach auf die Schicht aus polykristallinem Silicium ganzflächig eine zweite Isolationsschicht, vorzugsweise Siliciumnitrid-Schicht, aufgebracht wird, die so strukturiert wird, daß von ihr nur noch als Maskierung dienende Teile auf Bereichen der Schicht aus polykristallinem Silicium verbleiben, in denen die Kontaktierung von Source, Drain und Gate des MOS-Transistors erfolgen soll, daß sodann durch einen Implantationsprozeß Source- und Drain-Zone im Halbleitersubstrat 20 erzeugt werden, daß danach die nicht von Teilen der zweiten Isolationsschicht bedeckten Bereiche der Schicht aus polykristallinem Silicium in Siliciumoxid überführt werden und daß schließlich die maskierenden Teile der zweiten Isolationsschicht entfernt und durch einen weiteren Dotierungsprozeß in den Bereichen 25 des Halbleitersubstrats unterhalb der verbliebenen Teile der Schicht aus polykristallinem Silicium mit Source und Drain in Verbindung stehende Kontaktierungszonen hergestellt werden.

Ausgestaltungen des Erfindungsgedankens sind in Unteransprüchen gekennzeichnet.

35 Die Erfindung wird im Folgenden anhand eines Ausführungsbeispiels gemäß den Figuren der Zeichnung näher erläutert. Die Figuren zeigen dabei die Herstellung eines MOS-Transistors in verschiedenen Stadien seiner Herstellung.

2739662

- 4 - 77 P 1134 BRD

Fig. 1 zeigt den Stand der Herstellung eines MOS-Transistors nach der an sich bekannten Herstellung einer Dickoxid-Schicht 2 mit einem in dieser Schicht befindlichen Fenster 3 auf einem Halbleitersubstrat 1 sowie einer Gateoxid-Schicht 4 innerhalb des Fensters 3.

Danach wird gemäß Fig. 2 auf die Struktur nach Fig. 1 ganzflächig eine Schicht 5 aus polykristallinem Silicium aufgebracht. Auf diese Schicht 5 aus polykristallinem Silicium wird weiterhin 10 zunächst ganzflächig eine weitere Isolationsschicht aus Siliciumnitrid hergestellt, die in an sich bekannter Weise so strukturiert wird, daß lediglich Bereiche 6 dieser Isolationsschicht aus Siliciumnitrid verbleiben. Die Bereiche 6 dieser Isolationsschicht definieren Fenster 7 und 8 für die Herstellung von 15 Source und Drain des MOS-Transistors sowie freiliegende Bereiche 9 und 10 der Schicht 5 aus polykristallinem Silicium.

Nach Herstellung dieser Schichtstruktur werden durch einen Implantationsprozeß Source 11 und Drain 12 des MOS-Transistors hergestellt. Die Stufenstruktur dieser Zonen ergibt sich dadurch, 20 daß die Implantation durch die Schicht 5 aus polykristallinem Silicium und Teile der Gateoxid-Schicht 4 erfolgt, so daß unterhalb der mit der Gateoxid-Schicht 4 bedeckten Bereiche eine geringere Eindringtiefe von Source 11 und Drain 12 entsteht.

25 Nach der Herstellung von Source 11 und Drain 12 werden die nicht von den Teilen 6 der Siliciumnitridschicht bedeckten Bereiche der Schicht 5 aus polykristallinem Silicium durch einen thermischen Oxydationsprozeß in Siliciumdioxid überführt. Fig. 3 zeigt dabei den Stand nach diesem thermischen Oxydationsprozeß und 30 nach Entfernung der Bereiche 6 der Siliciumnitridschicht. Es entstehen somit durch die thermische Oxydation der Schicht aus polykristallinem Silicium Bereiche 13 aus Siliciumdioxid, während unterhalb der maskierenden Teile 6 der Siliciumnitridschicht Bereiche 14, 15 und 16 aus polykristallinem Silicium verbleiben.

Zur Herstellung von Kontaktzonen für Source 11 und Drain 12 wird 35 eine weitere Dotierung in das Halbleitersubstrat 1 eingebracht, wodurch mit Source 11 bzw. Drain 12 in Verbindung stehende Kontaktzonen 17 bzw. 18 gebildet werden. Die Herstellung dieser

909810/0456

Kontaktzonen 17 und 18 kann so durchgeführt werden, daß die Schicht 5 aus polykristallinem Silicium entsprechend dotiert wird, wobei die Dotierung durch einen nachfolgenden Hochtemperaturprozeß zur thermischen Aufoxidierung der freiliegenden Bereiche der Schicht aus polykristallinem Silicium in das Halbleitersubstrat ausdiffundieren.

- Andererseits können diese Kontaktzonen 17 und 18 auch dadurch hergestellt werden, daß nach Herstellung der Struktur gemäß Fig. 3 ein Dotierungsprozeß (z. B. Implantation und/oder Diffusion) durch die auf die Oberfläche des Halbleitersubstrats 1 reichenden Bereiche 14 aus polykristallinem Silicium durchgeführt wird.
- Zur Herstellung von metallischen Elektroden aus Aluminium für Source, Gate und Drain sowie von Leiterbahnen zur elektrischen Verbindung von mehreren MOS-Transistor-Funktionseinheiten und gegebenenfalls weiteren Funktionseinheiten wie beispielsweise Widerständen in integrierten Schaltkreisen wird auf die durch die Siliciumdioxid-Bereiche 13 und die Bereiche 14 aus polykristallinem Silicium ganzflächig Aluminium oder Aluminium und 2% Silicium angeschieden, das selektiv so in Aluminiumoxid überführt wird, daß lediglich das Elektroden- und Leiterbahn muster in Form von Aluminiumbereichen verbleibt, welche durch Aluminiumoxidbereiche voneinander isoliert sind. Dieser Prozeßschritt ist in den Figuren nicht eigens dargestellt.

Das vorstehend anhand eines Ausführungsbeispiels erläuterte erfundungsgemäße Verfahren bietet wesentliche Vorteile gegenüber der eingangs erläuterten Silicon-Gate-Technik.

Da für die Herstellung von Source-, Gate- und Drain-Kontakten bis zur Herstellung des Systems nach Fig. 3 - abgesehen von dem Maskierungsschritt zur Herstellung des Fensters gemäß Fig. 3 - lediglich ein Maskierungsschritt mittels einer Siliciumnitridschicht gemäß Fig. 2 erforderlich ist, ergibt sich eine Selbstjustierung von Source- und Drain-Kontakt relativ zum Gate-Kontakt. Damit ist eine optimale Gate-Kapazität für Source und Drain realisierbar.

Weiterhin ergibt sich aufgrund des entfallenden Maskierungs-⁸
schrittes zur Herstellung von Kontaktfenstern für Source und
Drain nach dem Maskierungsschritt zur Herstellung von Dotierungs-
fenstern für Source- und Drain-Zone gegenüber nach der bekannten
5 Technik hergestellten MOS-Transistoren eine weit ebener Ober-
fläche, so daß die Gefahr des Brechens bzw. Reißens von Alumi-
nium-Leiterbahnen an steilen Stufen der die Substratoberfläche
bedeckenden Siliciumdioxid- und den Polysilicium-Bereichen
weitestgehend eliminiert ist. 10 11 12 13 (14)

10 Wie aus den Figuren 1 bis 3 ersichtlich, liegt die Oberfläche
des Halbleitersubstrats 1 nach der Herstellung der Schicht 5 aus
polykristallinem Silicium nicht mehr frei, so daß sich ein so-
zusagen versiegelter Transistor ergibt, bei dem Störeinflüsse
15 aufgrund von Oberflächenladungerscheinungen nach mehrmaligem
Öffnen von Fenstern in Siliciumdioxid-Schichten weitaus geringer
sind.

Über die polykristallinen Bereiche 14 gemäß Fig. 3 ist eine
20 direkte unkritische Verdrahtung von Funktionseinheiten in inte-
grierten Schaltkreisen möglich.

Durch die oben bereits erwähnte Selbstjustierung von Source-
und Drain-Kontakt relativ zum Gate-Kontakt sind Abmessungstole-
25 ranzen genauer beherrschbar, so daß Transistorsysteme mit defi-
nierten Minimalabmessungen realisierbar sind, was für integrierte
Schaltkreise mit großem Integrationsgrad und entsprechend hoher
Packungsdichte von wesentlicher Bedeutung ist.

30 Die ebene Transistoroberfläche bleibt auch erhalten, wenn die
Herstellung von Elektroden und Leiterbahnen aus Aluminium im
oben beschriebenen Sinne durchgeführt wird.

4 Patentansprüche

3 Figuren

CASSETTES

VPA 77 P 1134 BRD 1/1

DOCKET NO. GPOSP 1411

Nummer: 27 39 682
Int. Cl. 2016 318 H 01 L 29/00

SERIAL NO. 9

76 TX

APPL. NO. Gunther, PICSC 739662

Anmeldetag: 10.02. September 1977
Offenlegungstag: 08. März 1979

LEHRER AND GREENBERG, P.A.

P.O. BOX 2480 Fig. 1

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

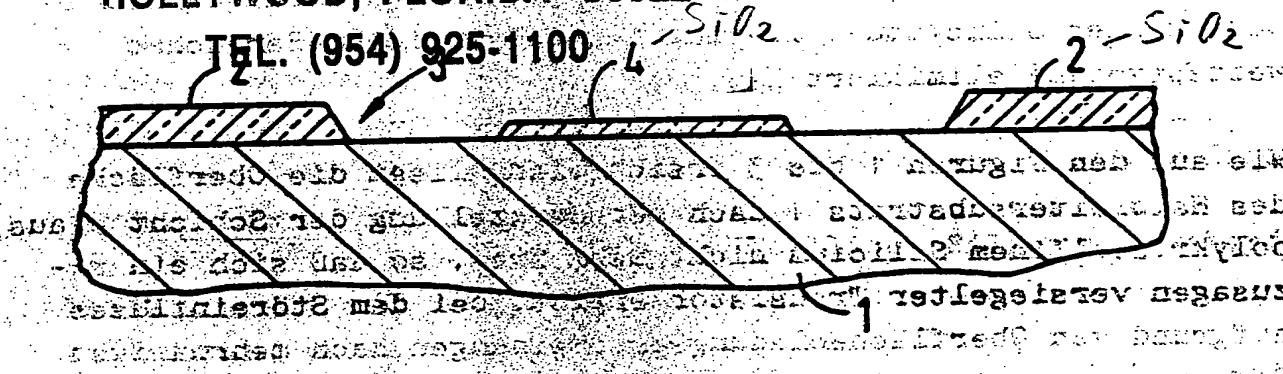


Fig. 2

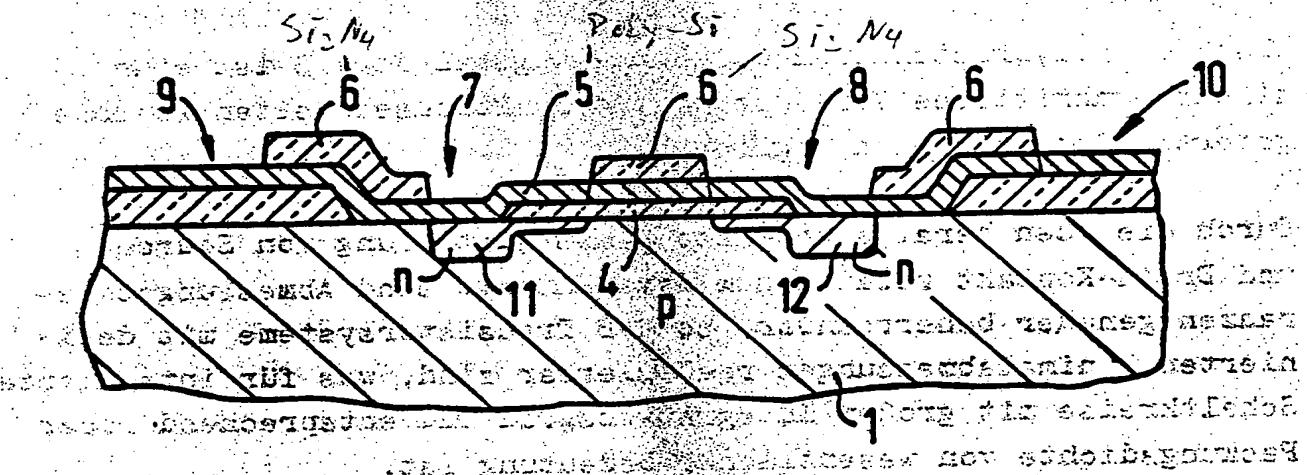
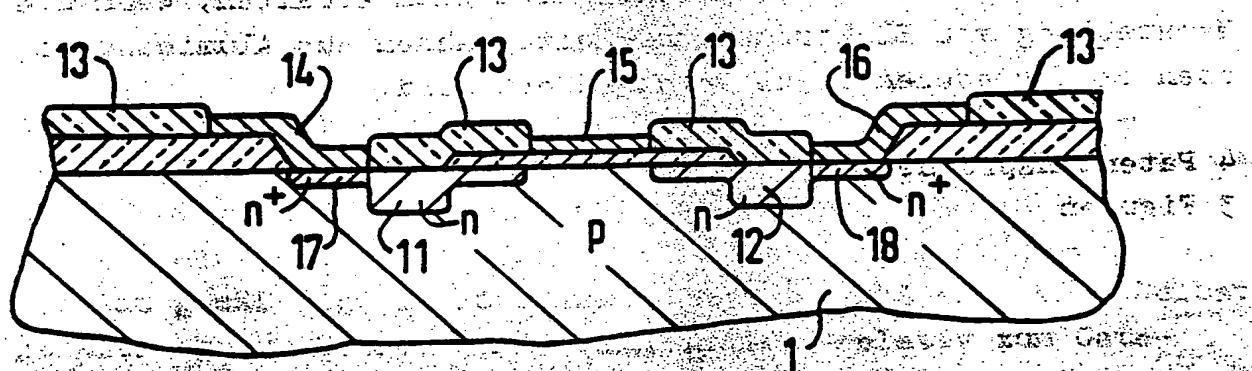


Fig. 3



909810/0456

Siemens AG